**实验报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 姓名 | 徐时越 | 学号 | 16058228 | 班级 | 16059611 |
| 专业 | 软件工程 | | 课程名称 | 计算机组成原理课程设计 | |
| 任课老师 | 仇建 | 指导老师 | 仇建 | 机位号 |  |
| 实验序号 | 2 | 实验名称 |  | | |
| 实验时间 |  | 实验地点 |  | 实验设备号 |  |
| **一、实验程序源代码** | | | | | |
| 程序源代码  input [3:0] A,B;  input C0;  output [3:0] F;  output C4;  wire [3:0] A;  wire [3:0] B;  wire C0;  wire [3:0] F;  wire C4;  //A 异或 B 异或 C  assign F[0] = A[0]^~B[0]^~C0;  //A,B,C1 任意两者为 1  assign C1 = (A[0]&B[0])|((A[0]|B[0])&C0);  //前一位输出Ci+1作为后一位输入Ci  assign F[1] = A[1]^~B[1]^~C1;  assign C2 = (A[1]&B[1])|((A[1]|B[1])&C1);  assign F[2] = A[2]^~B[2]^~C2;  assign C3 = (A[2]&B[2])|((A[2]|B[2])&C2);  assign F[3] = A[3]^~B[3]^~C3;  assign C4 = (A[3]&B[3])|((A[3]|B[3])&C3);  endmodule  仿真代码  module Test;  // Inputs  reg [3:0] A;  reg [3:0] B;  reg C0;  // Outputs  wire [3:0] F;  wire C4;  // Instantiate the Unit Under Test (UUT)  Module2 uut (  .A(A),  .B(B),  .C0(C0),  .F(F),  .C4(C4)  );  initial begin  // Initialize Inputs  A = 0;  B = 0;  C0 = 0;  // Wait 100 ns for global reset to finish  #100;    // Add stimulus here  A=4'b1100;B=4'b1011;C0=1'b0;  #100;  A=4'b1011;B=4'b0010;C0=1'b1;  #100;  A=4'b1011;B=4'b1101;C0=1'b0;  #100;  A=4'b1010;B=4'b0010;C0=1'b1;  #100;  A=4'b0111;B=4'b1000;C0=1'b0;  #100;  A=4'b0011;B=4'b0100;C0=1'b1;  #100;  A=4'b1001;B=4'b0001;C0=1'b0;  end    endmodule | | | | | |
| **二、仿真波形** | | | | | |
| ISim (O.87xd) - [Default.wcfg] | | | | | |
| **三、电路图** | | | | | |
|  | | | | | |
| **四、引脚配置（约束文件）** | | | | | |
|  | | | | | |
| **五、思考与探索** | | | | | |
|  | | | | | |
| **六、意见和建议** | | | | | |
|  | | | | | |